

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-167955

(43)Date of publication of application : 24.06.1997

(51)Int.Cl.

H03K 19/00
H03K 17/00
H03K 19/0175
H04L 25/02

(21)Application number : 08-129663

(71)Applicant : SGS THOMSON MICROELECTRON
SRL
CONSORZIO PER LA RIC SULLA
MICROELETTRONICA NEL
MEZZOGIORNO

(22)Date of filing : 24.05.1996

(72)Inventor : GOLA ALBERTO
FUCILI GIONA
MARCELLO LEONE
MILAZZO PATRIZIA

(30)Priority

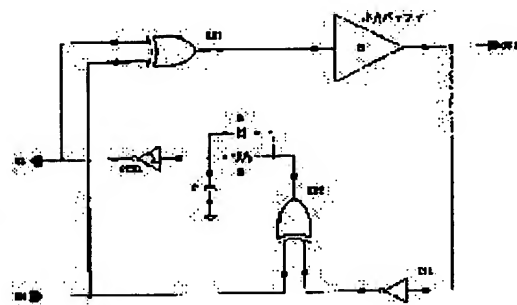
Priority number : 95 95830230 Priority date : 31.05.1995 Priority country : EP

(54) SHORT-CIRCUIT DETECTION AND PROTECTION CIRCUIT FOR DIGITAL OUTPUT TERMINAL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the detection and protection circuit for occurrence of a short-circuit for a digital output stage.

SOLUTION: The detection and protection circuit for occurrence of a short-circuit for a digital output stage is provided and the circuit has an exclusive OR logic gate circuit EX1 with a 1st input terminal connecting to a signal input circuit (IN) and an output terminal connecting to an input terminal of a signal level shifter B. An exclusive OR 2nd logic gate circuit EX2 has a 1st input terminal connecting to the input node IN and a 2nd input terminal connecting to an output terminal OUT of the output stage B via an inverter circuit INI. A 2nd input terminal of the 1st logic gate circuit is connected to an output terminal of the 2nd logic gate circuit via a comparator circuit SCH1 and delay circuit means consisting of C, R, D.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-167955

(43) 公開日 平成9年(1997)6月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/00			H 0 3 K 19/00	B
17/00		9184-5K	17/00	B
19/0175		9199-5K	H 0 4 L 25/02	3 0 1 B
H 0 4 L 25/02	3 0 1		H 0 3 K 19/00	1 0 1 F

審査請求 未請求 請求項の数9 O L (全 6 頁)

(21) 出願番号 特願平8-129663

(22) 出願日 平成8年(1996)5月24日

(31) 優先権主張番号 9 5 8 3 0 2 3 0 . 9

(32) 優先日 1995年5月31日

(33) 優先権主張国 イタリア (I T)

(71) 出願人 591002692

エスジーエーストムソン マイクロエレ
 トロニクス エッセ エッレ エーレ
 SGS-THOMSON MICROEL
 ELECTRONICS SRL
 イタリア国 ミラノ 20041 アグラータ
 プリアンツァ ヴィア ツィー オリヴ
 エッティ 2

(74) 代理人 弁理士 小橋 一男 (外1名)

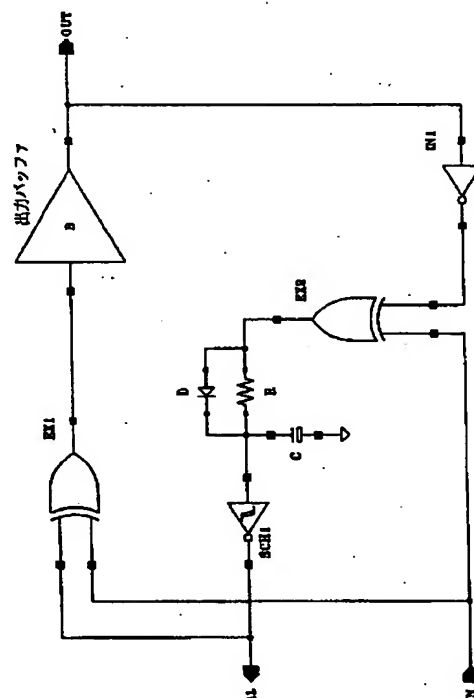
最終頁に続く

(54) 【発明の名称】 デジタル出力端に対する短絡回路の検知及び保護回路

(57) 【要約】

【課題】 デジタル出力段用の短絡回路に対する検知・保護回路を提供する。

【解決手段】 デジタル出力段用の短絡回路に対する検知・保護回路が提供され、それは信号入力回路 (I N) へ接続した第一出力端子及び信号レベルシフタ (B) の入力端子へ接続している出力端を具備する排他的OR型の論理ゲート回路 (E X 1) を有している。排他的OR型の第二論理ゲート回路E X 2は、入力ノード (I N) へ接続している第一入力端子及び反転回路 (I N) を介して出力段 (B) の出力端子 (O U T) へ接続している第二入力端子を有している。第一論理ゲート回路の第二入力端子は比較器回路S C H 1及び遅延回路手段C, R, Dを介して第二論理ゲート回路の出力端子へ結合している。



1

【特許請求の範囲】

【請求項1】 論理信号の出力レベルをシフトすべく動作可能であり且つ少なくとも1個の入力端子及び1個の出力端子を具備する集積回路の出力段(B)のための短絡回路に対する保護回路において、前記出力段の入力端子が論理信号用の入力ノード(IN)へ結合しており、排他的OR型の第一(EX1)及び第二(EX2)論理ゲート回路が設けられており、各論理ゲート回路は少なくとも第一及び第二入力端子及び出力端子を具備しており、前記第一論理ゲート回路(EX1)の第一入力端子及び出力端子は夫々出力段(B)の信号入力ノード(IN)及び入力端子へ結合しており、第二論理ゲート回路(EX2)の第一及び第二入力端子は夫々出力段(B)の信号入力ノード(IN)及び出力端子へ結合しており、第一論理ゲート回路の第二入力端子はスレッシュホールド比較器回路(SCH1)の出力端子へ結合しており、前記スレッシュホールド比較器回路の入力端子は所定の遅延を与える回路手段(C, R, D)を介して第二論理ゲート回路(EX2)の出力端子へ結合していることを特徴とする保護回路。

【請求項2】 請求項1において、前記比較器回路(SCH1)がシュミットトリガ型のものであることを特徴とする保護回路。

【請求項3】 請求項1において、前記比較器回路(SCH1)が反転用回路を有することを特徴とする保護回路。

【請求項4】 請求項1において、前記所定の遅延を与える回路手段が、比較器回路(SCH1)の入力端子と基準電圧との間に接続されているコンデンサ(C)を有することを特徴とする保護回路。

【請求項5】 請求項4において、前記所定の遅延を与える回路手段が、前記第二論理ゲート回路(EX2)の出力端子と前記比較器回路(SCH1)の入力端子との間において互いに並列接続された抵抗(R)及びダイオード(D)を有することを特徴とする保護回路。

【請求項6】 請求項4において、前記所定の遅延を与える回路手段が、前記第二論理ゲート回路(EX2)の出力端子と前記比較器回路(SCH1)の入力端子との間に接続されている反転用回路を有することを特徴とする保護回路。

【請求項7】 請求項1, 2, 3, 4, 5, 6のうちのいずれかにおける非反転型の出力段用の保護回路において、反転用回路(IN)が出力段(B)の出力端子(OUT)と前記第二論理ゲート回路(EX2)の第二入力端子との間に接続されていることを特徴とする保護回路。

【請求項8】 請求項1, 2, 3, 4, 5, 6, 7のうちのいずれか一項において、前記比較器回路(SCH1)の出力端子が短絡回路警告端子(AL)へ結合されていることを特徴とする保護回路。

2

【請求項9】 コンピュータ用のインクジェットプリンタにおいて、請求項1, 2, 3, 4, 5, 6, 7, 8のうちのいずれかに記載した保護回路を組込んだ最終段を具備する部材をプリントするためのドライバ回路を有することを特徴とするインクジェットプリンタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、端子における短絡回路に対して集積回路を保護するための検知・保護回路に関するものであって、更に詳細には、論理信号出力端子における短絡回路に対して保護を与えるための検知・保護回路に関するものである。

【0002】

【従来の技術】公知の如く、論理型の信号は出力端子における電圧の明確な条件に関連しており、その電圧は、一般的に、2つの明確な値のうちの1つのみをとることが可能である。このような値は接地電圧の値か又は集積回路への電源線の電圧の値のいずれかとする事が可能であり、且つ通常論理0又は論理1に対応している。

【0003】電源又は接地又はアナログ信号の出力端子に対する負荷のいずれかに向かう短絡回路に対して幾つかの異なるタイプの保護回路が使用されているが、論理信号の出力端子は、通常、短絡回路に対して保護されていない。通常、論理出力を有する集積回路への典型的な電源条件は低電圧、即ち3V又は5Vであって且つ小さな電流即ち数mAであり、従って接地又は電源に対して短絡された出力端子は特に懸念事項となるものではない。

【0004】然しながら、高品質インクジェットプリンタのプリント部材用のドライバ回路の出力段のような最近の適用場面におけるように、上述したような電源条件とは異なるものである場合には、散逸される電力の値は集積回路を危険にさらすような値に容易に達する場合がある。論理型の出力段に保護回路を直接組込むことは好ましいことではないことに注意すべきである。何故ならば、このことはその特性に影響を与え、特にそのスピードに影響を与える場合があるからである。

【0005】パワーアナログ段の出力に対する保護モードであって、その段の出力端子とコンデンサを介して信号入力端へ接続している入力回路ノードとの間の外部フィードバックループの使用に基づくものは公知である。この種類の適用例は、例えば、本願出願人によって発行されている「パワー製品への設計者案内(Designers' Guide to Power Products)」、アプリケーションマニュアル、第二版、1992年6月の265頁に記載されている。然しながら、その解決方法は、比較的大きな容量のコンデンサを設けるものであって、通常集積化することのできないものである。

【0006】

【発明が解決しようとする課題】本発明は、デジタル出力段、特に入力論理信号の出力レベルをシフトすべく動作可能な段用の短絡回路に対する検知・保護回路を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明が解決すべき課題は、本明細書の特許請求の範囲の特徴部分において記載されており前述したような短絡回路に対する検知・保護回路によって解決されている。即ち、本発明によれば、論理信号の出力レベルをシフトすべく動作可能であり且つ少なくとも1個の入力端子及び1個の出力端子を具備する集積回路の出力段（B）用の短絡回路に対する保護回路が提供される。出力段の入力端子は論理信号用の入力ノード（IN）へ結合されている。本保護回路は、排他的OR型の第一（EX1）及び第二（EX2）論理ゲート回路を有しており、その各々は少なくとも第一及び第二入力端子及び出力端子を有している。第一論理ゲート回路（EX1）の第一入力端子及び出力端子は、夫々、出力段（B）の信号入力ノード（IN）及び入力端子へ結合しており、第二論理ゲート回路（EX2）の第一及び第二入力端子は、夫々、出力段（B）の信号入力ノード（IN）及び出力端子へ結合している。第一論理ゲート回路の第二入力端子は、所定の遅延を与える回路手段（C、R、D）を介して第二論理ゲート回路（EX2）の出力端子へ結合している入力端子を具備するスレッショールド比較器回路（SCH1）の出力端子へ結合している。

【0008】

【発明の実施の形態】図1は論理信号のレベルをシフトすべく動作可能な出力段Bを有する回路を示している。この出力段は、コンピュータ用の高速インクジェットプリンタのプリントヘッド用の駆動装置に関するものである図2に示した実施例において、典型的な値である5Vをはるかに超える出力電圧において動作し、且つそれに接続されて本発明に基づく検知・保護回路を有している。

【0009】この保護回路は、排他的OR型のものであって且つレベルシフトされるべき信号を受取るための入力ノードINへ接続している入力端子と、出力段Bの入力端子へ接続している出力端子を具備する論理ゲートEX1から構成される第一回路を有している。排他的OR型の論理ゲートEX2から構成される第二回路は、入力ノードINへ接続された第一入力端子及び反転回路IN1を介して出力段の出力端子OUTへ接続した第二入力端子を有している。論理ゲートEX1の第二入力端子は比較器回路SCH1のスレッショールド型の出力端子へ接続しており、比較器回路SCH1は、シュミットトリガ型の二重のスレッショールドを有することが可能である。

【0010】比較器回路SCH1は、本実施例において

は、コンデンサC、抵抗R、及び該抵抗と並列なダイオードDを有しており且つ所定の遅延を与える遅延回路を介して論理ゲートEX2の出力端子へ結合している入力端子を有している。比較器出力端は警告端子ALへ結合させることが可能である。

【0011】本発明回路は、短絡回路に対する保護を与えるために簡単な対応で検知される論理出力端において短絡回路を有することの必要性から発生している。論理出力段は、反転型又は非反転型のいずれかのバッファ又はインターフェース回路によって模式的に表わすことが可能である。この解決方法は、保護動作を説明する目的のための非反転用バッファとして特性づけることの可能な出力段の回路とは完全に別個のものである。

【0012】互いに相補的であり且つ同一の信号で駆動される上側トランジスタ及び下側トランジスタを有するCMOS出力構成体において、出力が論理高であり且つ接地に向かって短絡回路が発生する場合には、散逸されるパワーは $V_{cc} \times I_o$ によって与えられ、その場合に I_o は上側トランジスタが担持する電流であり、且つ V_{cc} は電源電圧である。出力が論理低状態にある場合には、接地に対しての短絡回路は何ら有害なものではない。何故ならば、導通状態にあるトランジスタを横断しての電圧差はゼロであり、従ってその場合に散逸されるパワーはゼロだからである。

【0013】それと全く逆の場合は、電源に対して短絡回路が存在する場合である。短絡回路が発生すると、その条件が回路によって検知されることが所望され、且つ活性要素（論理回路においては、トランジスタのうちの1つのみがオン）を横断しての電圧差がゼロであり、その際に保護機能を実現するように出力段の導通条件が変更されることが所望される。

【0014】図1において、出力バッファは記号Bで示してあり（図示例においては、それは非反転型のものであるが、反転型のものも容易にこの状態とさせることが可能である）、排他的OR型の論理ゲート（EX）上の入力信号を受取る。出力信号は反転回路（IN1）によって受取られ且つ別の排他的OR型の論理ゲート（EX2）の2つの入力端のうち的一方へ供給される。

【0015】本発明の寄りどころとする技術的思想は、出力論理レベルを入力レベルと比較するものであり、これら2つのレベルは一致すべきであり、そうでなければ異常な状態とみなされるものである。

【0016】論理ゲートEX2の論理信号出力はダイオードD、抵抗R、コンデンサCを有するフィルタへ供給される。このフィルタの出力はシュミットトリガ回路SCH1を駆動する。端子ALへ供給される信号は、ある場合には異常状態を表わすものであり出力制御信号である。短絡回路が発生すると、排他的ORゲートEX1が出力段への駆動信号を反転させ、その際に短絡条件を相殺させる。

【0017】「通常の」条件下において、比較器回路SCH1の入力は高であり、従って、端子ALは低論理状態であり且つ論理ゲートEX1は非反転モードで動作し、即ち、その出力信号はその入力と同一の論理レベルにある。出力バッファは単に信号を装置出力端へ転送するだけに過ぎない。

【0018】入力端INが低論理レベルにあると、バッファ出力と同じく端子ALも低論理レベルにある。論理ゲートEX2の入力端においては、低論理レベル及び高論理レベルが存在し、従って、出力端は論理高であってそれは比較器回路SCH1の入力となり、端子AL上で論理0となる。構成要素R、C、Dは単一方向遅延要素を形成し、パワーオン時にコンデンサCは速い速度で充電され、次いで時定数RCにしたがって放電される。この回路網は出力バッファの伝播時間よりも一層長い期間にわたり回路を「マスクオフ(mask off)」するためのものである。

【0019】論理入力INが0から1へ変化する場合は仮定すると、バッファ出力はすぐに1へスイッチすることは不可能である。その場合には、この時間間隔がマスクされなかった場合には、誤った短絡回路の検知が行なわれる。出力バッファBの遅延に対応する期間にわたり論理ゲートEX2の入力端において同一の信号が表われ、論理ゲートEX2の出力端は低状態へ移行し且つ抵抗Rを介してコンデンサCの放電を開始する。適宜の時定数を選択することによって、比較器回路SCH1のスレッシュホールドに到達する前に放電を終了させることが可能であり、且つコンデンサはすぐさま再充電される。

【0020】一方、入力端IN（従って、出力端OUT）が論理高状態にあり且つ接地へ向かっての短絡回路が発生すると、出力バッファBの出力は接地へ駆動され且つ電流は、相補的なトランジスタ対におけるPチャンネルトランジスタの出力抵抗によって供給電圧を割算したものに等しい値をとる。反転用回路IN1の出力端子は論理高状態と成り、且つ論理ゲートEX2の出力はゼロへ移行しその場合に抵抗Rを介してコンデンサCの放電を開始する。

【0021】この短絡回路が除去されない場合には、比較器回路SCH1のスレッシュホールドに到達するまで放電が継続して行なわれ、比較器回路SCH1の出力は高状態となる。従って、論理ゲートEX1は両方の入力端が「1」となり、且つそれは論理低を出力し、それは出力バッファBを介して出力端OUTへ伝播する。

【0022】この出力条件は安定なものであり、例えば短絡回路が取除かれたとしても維持される。このことが発生するものと仮定すると、入力端INが1から0へ移行する前には何も変化することはなく、従って出力バッファBの入力端は論理高状態であるが、出力端OUTは伝播遅延に対応する時間期間の間低状態に維持され、この

時間期間中、論理ゲートEX2はその一方の入力端が0であり且つ他方の入力端が1であって、その出力端は「1」へ移行し、その際にコンデンサCをすぐさま充電し且つ元の状態に復帰する。従って、入力はその状態を元の状態に復帰させるように変化することが必要である。電源に向かう短絡回路の場合にも同様の考え方が適用される。

【0023】インバータIN1は、電源電圧値のほぼ中間の値を中心としたスレッシュホールドを有しており、これはオーバーロード条件において達成されるべき値である。例えば、該バッファの2つの出力トランジスタが50Ωの抵抗を有する場合には、オーバーロードが50Ω以下の負荷抵抗と等しい場合に、保護回路がトリップする。

【0024】一例として、本願出願人の装置において実施した本発明に基づく保護回路の実施例を図2に示してある。想像線で示したブロックBは出力バッファに対応しており、論理ゲートEX2は排他的NORゲートと反転用回路とに分割されている。その後者は図1における抵抗R及びダイオードDの機能を司るものであり、速い速度でコンデンサを充電することが可能であり、一方放電電流は極めて小さいものである。

【0025】トランジスタがオーバーロードの外部的警告を与え、一方出力回路(ROW_OUTSTAGE)は16V程度の電圧にあるので、レベルシフト機能を与えるためにトランジスタ対SH1及びSH2が設けられている。

【0026】本発明に基づく回路は、出力段レイアウトに拘らず且つその機能特性に影響を与えることなしに、オーバーロード検知及び保護機能を提供している。それは簡単であり且つ高速であって、従って、その動作は伝播時間期間中マスクされねばならず、それは容易に出力段と一体的に集積化させることの可能なものである。以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】 本発明の一実施例に基づいて構成された短絡回路に対する検知・保護回路を示した概略図。

【図2】 本発明に基づく保護回路を組込んだインクジェットプリンタ用のドライバ回路を示した概略図。

【符号の説明】

IN 入力ノード

IN1 反転用回路

B 出力段

EX1, EX2 排他的OR型論理ゲート

SCH1 比較器回路

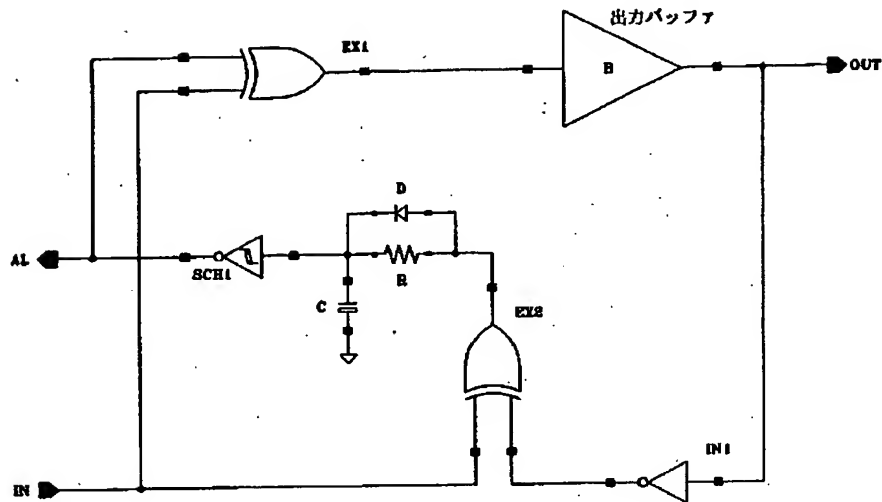
AL 端子

OUT 出力端子

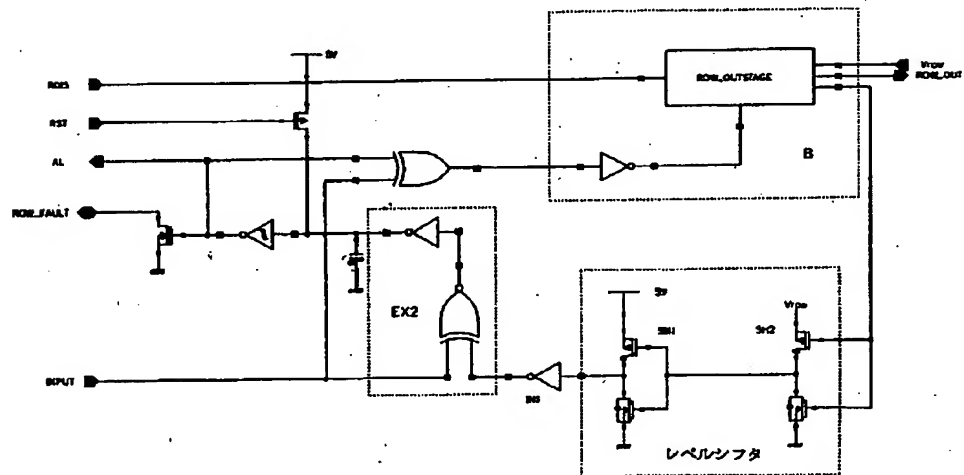
D ダイオード
R 抵抗

C コンデンサ

【図1】



【図2】



フロントページの続き

(71)出願人 596078290

コンソルツィーオ ペル ラ リセルカ
スッラ ミクロエレクトローニカ ネル
メッゾジオルノ

CONSORZIO PER LA RI
CERCA SULLA MICROEL
ETTRONICA NEL MEZZO
GIORNO

イタリア国, カターニャ, アイー
95121, ストラダーレ プリモソーレ
50

(72)発明者 アルベルト ゴラ

イタリア国, パヴィア, ブローニ,
アイー27043, ヴィア グランシ 52

(72)発明者 ジョーナ フチーリ

イタリア国, ミラノ, マジェンタ,
アイー20013, ヴィア クレスピ 20

(72)発明者 マルチェッロ レオーネ

イタリア国, ミラノ, ロー, アイー
20017, ヴィア テッラツァーノ 67

(72)発明者 パトリツィア ミラッツォ

イタリア国, メッシーナ, アイー
98124, ヴィア ジー, ボットーネ
42/セ